

2008年9月5日
SSDM2008 組織委員会
委員長 柴田 直

2008年国際固体素子・材料コンファレンス(SSDM2008) 40周年記念大会の開催

応用物理学会主催の国際固体素子・材料コンファレンス(SSDM)は、1969年の第1回開催以来、毎年開催されている伝統ある会議であり、本年40周年を迎えます。本年は9月23日から26日までの4日間、茨城県つくば市のつくば国際会議場(エポカルつくば)にて40周年記念大会が開催されます。日進月歩のエレクトロニクス産業の発展の中で、各国の固体素子・材料関係の研究者が一同に会し、最新の研究成果を示すとともに今後の方向性を議論する重要な会議です。

本年は40周年を記念して、数々の記念行事を企画しております(次頁参照)。40年間のSSDMの歩みが記された40周年記念誌、および過去40年間の全ての論文が収録された記念DVDを、大会参加者全員に無料配布いたします。また9月23日には、記念行事としてテクニカルセミナー、Simon Sze教授特別講演、およびウエルカムレセプションを開催します。同日9月23日には「先端半導体ブースター技術の進展と評価・解析技術」と題したショートコースを開催します。多様な分野から専門家をお招きし、シリコンテクノロジーの新たな展開を日本語で分かり易く解説していただきます。

9月24日からの本会議では、3件の基調講演(添付資料参照)を含む62件の招待講演、339件の口頭発表、161件のポスター発表および27件のレイトニュースがございます。本年は17ヶ国におよぶ国々から総数749件の論文投稿があり、長いSSDMの歴史上最多の投稿数を記録しました。特に近年は、わが国はもちろんのこと、台湾、韓国、シンガポール、中国といったアジア諸国からの投稿数が増えてきており、アジア地区を拠点とする最大級の国際学会として、日本のリーダーシップの基にアジアのエレクトロニクスを牽引する学会に発展しております。

講演は13のサブエリアに分類されています。SSDMの特徴としましては、そのスコープが大変広いことが挙げられ、シリコンプロセス、材料評価、CMOSデバイス、メモリ技術、回路システム、化合物半導体デバイス、光デバイス、物質合成、新機能材料デバイスという9つのコア領域に加え、戦略的な分野として有機デバイス、MEMS/NEMSとバイオシステム、スピントロニクス、ナノチューブ・ナノワイヤの応用の4つの特定領域を設置しております。過去40年間にわたる実績により、そのスペクトルの広さで世界でも類を見ないユニークな学会に発展しております。本会議で発表される論文はいずれも質の高いものですが、特に注目すべき講演の一例を添付資料に示します。これらの発表は、それぞれの領域にブレークスルーをもたらすことが期待されます。

< 問い合わせ先 >

SSDM事務局 [担当:石崎]

〒105-0003 東京都港区西新橋 1-7-2 虎ノ門高木ビル

(株)インターグループ

TEL: 03-3597-1108 FAX: 03-3597-1097

Email: ssdm_secretariat@intergroup.co.jp

40周年記念行事

- ・過去 40 年分の全論文が収録された記念 DVD の配布
- ・40周年記念誌 “40 years of SSDM, Past, Present and Future” 配布
- ・過去全ての SSDM Award 受賞論文をパネル展示
- ・テクニカルセミナー (9/23 12:20 開催) (入場無料)
 - “Solid State Device Research and Development Activities in Tsukuba Science City “
 - 講師 筑波大学、産業技術総合研究所(AIST)、物質材料研究機構(NIMS)、
航空宇宙研究開発機構(JAXA)、半導体先端テクノロジーズ(Selete)
- ・特別講演 (9/23 17:40 開催) (入場無料)
 - “Nanoelectric Technology: Challenges in the 21st Century”
 - 講師 Simon Sze 氏 National Chiao Tung 大学 教授
- ・ウエルカムレセプション (9/23 18:50 開催) (本大会参加者は入場無料)

基調講演などの行事

- ・基調講演 (9/24 10:00 および 9/25 15:00 開催)
 - “CMOS Paradigm Change through Material Integration on a Chip”
 - 廣瀬全孝 氏 産業技術総合研究所 ナノ電子デバイス研究センター 研究顧問
 - “One Dimensional Electronics: Physics or Technology?”
 - Mark Lundstrom 氏 Purdue 大学 教授
 - “Bridging Between Science and Engineering”
 - 榊 裕之 氏 豊田工業大学 副学長
- ・ランブセッション (9/25 19:00 開催)
 - “Can Power Semiconductor Technology Contribute to Sustainable Future ?”
 - “Nano-Device and Materials Innovation: What Novel System Are You Dreaming of ?”
- ・ショートコース (9/23 10:00 開催)
 - 「先端半導体ブースター技術の進展と評価・解析技術」
 - “Progress in Si Technology Booster with Metrology/Evaluation Technique”

講演詳細は Web Site をご覧ください URL: <http://www.ssdm.jp>



2008年国際固体素子・材料 コンファレンス (SSDM2008)

"Device and Material Innovations for Novel System Integrations"

- 応用物理学会主催の国際固体素子・材料コンファレンス (International Conference on Solid State Devices and Materials, SSDM) は今回第40周年を迎える、伝統ある国内最大級の国際会議です。
- 今や携帯電話やパソコンは生活必需品といえる存在ですが、SSDMでは、これら電子機器に組み込まれるマイクロプロセッサやメモリ、センサーなどの電子デバイスやその材料分野、情報通信に用いられる光学素子やその材料分野で、最も刺激的な会議の一つとして、その重要性を増し続けています。

【基調講演1】

日時：2008年9月24日(水) 10:00 - 12:00
会場：2F 大ホール

廣瀬 全孝 氏

(独) 産業技術総合研究所
ナノ電子デバイス研究センター 研究顧問
"CMOS Paradigm Change through Material Integration
on a Chip"



Mark Lundstrom 氏

Purdue大学 教授
"One Dimensional Electronics: Physics or Technology?"



【基調講演2】

日時：2008年9月25日(木) 15:00 - 13:45
会場：2F 大ホール

神 裕之 氏

豊田工業大学 副学長
"Bridging Between Science and Engineering"



【SSDM40周年特別講演】

日時：2008年9月23日(火) 17:40 - 18:40
会場：3F 中ホール 300
参加費：無料



Simon M. Sze 氏

National Chiao Tung大学 教授
"Nanoelectric Technology: Challenges in the 21st Century"

・40周年記念としてSimon Sze教授の特別講演を企画しました。

・基調講演3件に加え、約60件の招待講演と、SSDM史上最大投稿件数の中から厳選な審査を通った500件の発表と、27件のレートニュース発表を予定しています。

・世界約20カ国からの研究発表が集まり、近年特に、アジアからの発表が増えています。さながらアジアのエレクトロニクス分野で最も重要かつ権威ある学会としての確固たる地位を築きつつあります。

【謝辞】

協賛のIEEE電子デバイスソサエティに感謝します。また文部科学省やつくば市はじめ、ご支援頂く多くの機関に感謝いたします。



2008 International Conference
on Solid State Devices and Materials
(SSDM 2008)

40周年記念SSDM2008 ハイライト論文

2008年 9月 5日
SSDM2008実行委員長



SSDM2008 論文トピックス

Si-LSI, III-V 領域

新材料&新機能デバイス

MG/HK
高移動度

HK/MG Vth変調メカニズム解明 世界最小GeOI-pMOS
HK高移動度化手法 SiGe/Siコアシェル構造pFET
炭素分子注入を用いたSiC-S/D

有機Trチャンネル内の伝導機構を電子スピン共鳴法で解析
Low-k化の効果を回路実証 ナノ銅接点のEMその場観察

3次元LSI

誘導結合リンクに於ける位置合せ誤差のモデル化
3次元LSIのための高速光インターポーザ
インダクタレス10Gnit/s光受信回路

パワー
デバイス

GaNパワースイッチとGaN HEMTを同時にSi基板上に集積
トレンチ構造SiCパワー-MOSFET

新メモリデバイス
スピン機能デバイス
ナノ量子機能デバイス

固体電解質を用いたイオンプラグメモリ

磁気トンネル接合素子を組合せた全加算器の実証
位置制御されたMnAsナノ構造の成長
金微粒子のマニピュレーション技術
半導体点接合での時間依存ポテンシャルの測定
量子ドットの高周波容量測定に成功
コアマルチシェル型ナノワイヤのキャリア電導
脳機能イメージング用CMOSセンサ

バイオエレクトロニクス



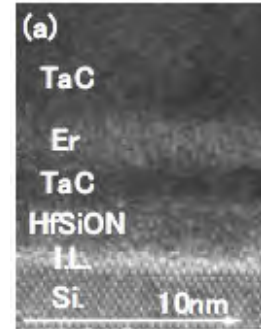
ハイライト論文: エリア 1

(Advanced Gate Stack/Si Processing Science)

A-7-4; R. Ichikawa, Toshiba

メタルゲート/High-kデバイスにて、新しい閾値電圧変調メカニズムを解明

- CMOS微細化に必要なメタルゲート/High-k (MG/HK) 技術において、希土類元素添加はnMOSFETの閾値低減法として有効だ。メタルゲートの一種であるTaCへREを挿入すると、メタルゲートの仕事関数が適した値へ変調する。高温熱処理後は仕事関数変調効果が失われるが、HK(HfSiON)側へ拡散した希土類元素により新たなV_{th}低下をもたらされ、高温熱処理前後でV_{th}変調の物理起源が異なることが判明した。
- Metal-gate/high-k (MG/HK) is indispensable for improvement of CMOS performance. Insertion of rare-earth (RE) into TaC-MG is effective for lowering the workfunction(WF) of MG, meaning low V_{th} for nMOSFET. This effect is disappeared with increasing annealing temperature. However, RE redistribution into HK(HfSiON) at high-temperature lowers V_{th} due to alternative physical origin.



Cross sectional structure of the MG/HK specimen used in this work.



ハイライト論文: エリア 1

(Advanced Gate Stack/Si Processing Science)

A-9-5; D. Ishikawa, Selete

極薄High-kゲート絶縁膜デバイスにて、高い移動度を達成

- SiON 界面層上において極薄HfO₂ 膜の成膜とアニールを繰り返すことにより、HfON/SiON 積層膜を形成し、0.57nm への酸化膜換算膜厚(EOT)の薄膜化を確認した。また、高品質の絶縁膜/Si 基板界面特性を実現し、極薄EOTにおけるこれまでの報告を上回る電子移動度を得ることができた。本プロセスによる大幅なEOT 薄膜化はHfON 及びSiON 界面層の誘電率の増加によるものと推定する。
- We have successfully scaled EOT of Hf-based gate dielectric down to 0.57 nm with realizing higher electron mobility than previous reports. HfON/SiON stack was formed by repeating ultra-thin HfO₂ deposition and annealing on a SiON interfacial layer. Improvement of dielectric constants in both HfON and interfacial layers is inferred, enabling aggressive EOT scaling.



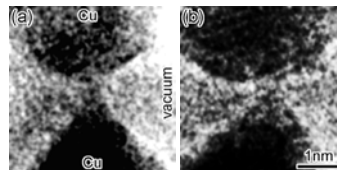
ハイライト論文: エリア 2

(Characterization & Materials Engineering for Interconnect Integration)

C-1-5; H. Aoki, 筑波大学

高電流印加時のナノメートル銅接点につき、構造ダイナミクスを直接観察

- 最も高い電流密度が実現されるナノメートル金属接点では、この素子に特徴的なエレクトロマイグレーションが生じると考えられてきた。本研究では、その場電子顕微鏡法を用いて、エレクトロマイグレーションが生じているときにナノメートル銅接点の構造ダイナミクスを直接観察し、同時に電気伝導と力学挙動を測定した。エレクトロマイグレーションが生じるときの構造、電流密度と応力を明らかにした。
- Structural dynamics of copper nanocontacts during electromigration was directly observed by *in situ* high-resolution transmission electron microscopy. Simultaneously, the current through, and the stress acting on the contacts were measured using the functions of scanning probe microscopy. The critical conditions for the electromigration were elucidated.



Electron micrographs of copper nanocontacts during electromigration (a) and after (b) electromigration.



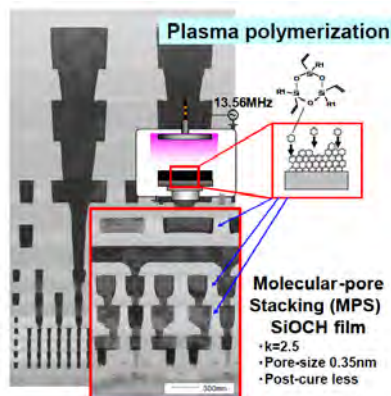
ハイライト論文: エリア 2

(Characterization & Materials Engineering for Interconnect Integration)

C-6-3; M. Tada, NEC

Low-k/Cu配線でのLow-k化の効果を回路性能で実証

- 65nm高速CMOSに実効比誘電率 (K_{eff}) の異なる Low-k/Cu配線構造を試作し、高速回路性能向上に及ぼすLow-k化の効果を実証した。リングオシレーター動作速度と消費電力はLow-k膜の低誘電率化に伴って低減した。2GHz動作仕様のSRAMにおいては、Low-k化による4.0%のビット線寄生容量低減によって、SRAM動作マージン ($V_{dd,min}$)を5.8%改善できることを明らかにした。
- Low-k impact on circuit performances is investigated by using high-speed 65nm-node CMOS with different low-k/Cu structures. K_{eff} =3.4, 3.1 and 2.9. The signal delay and power consumption of NANDtype ring-oscillators are reduced with K_{eff} . The 2GHz SRAM with k_{eff} =2.9 reveals 4.0% reduction of bitline parasitic capacitance, resulting in 5.8% improvement of $V_{dd,min}$, or eventually widening the operation margin.





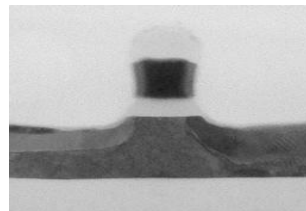
ハイライト論文: エリア 3

(CMOS Devices/Device Physics)

B-1-3; K. Ikeda, MIRAI-ASET

ゲート長26nmのGOI-pMOSFETを開発

- ゲート長26nmのGOI(Ge-On-Insulator)チャンネルpMOSFETの動作実証を実現した。酸化濃縮法により形成したGOIチャンネルにPoly/TaNのメタル挿入Poly-Si積層構造ゲートとNiGeによるMetal S/D構造を適用したpMOSFETの動作実証に世界ではじめて成功した。FET動作を確認した最小ゲート長は26nmで、従来報告されているGeチャンネルMOSFETの中では世界最小である。
- High mobility ($310\text{cm}^2/\text{Vs}$) Ge-On-Insulator (GOI) channel pMOSFETs are successfully demonstrated for the first time by employing silicided poly/TaN MIPS gate and NiGe Metal Source/Drain (MSD) to GOI substrates fabricated by the Ge condensation technique. We have confirmed the device operation of GOI pMOSFETs with gate length of down to 26nm. This is the shortest gate length that has been reported so far in Ge channel FETs.



Lg=26 nmのGOI pMOSFETの断面像



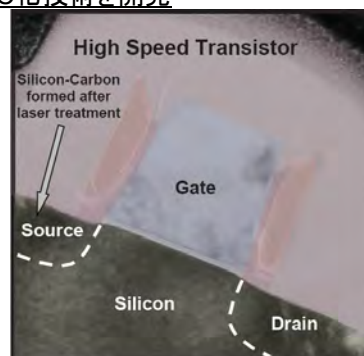
ハイライト論文: エリア 3

(CMOS Devices/Device Physics)

B-8-3; S.M. Koh, National Univ. of Singapore

カーボン分子注入によるソース/ドレインのSiC化技術を開発

- Si-nMOSFETの高電流化に向けて、カーボン分子イオン注入により、ソース/ドレインをSiCするプロセス技術を開発。イオン注入後は、レーザーアニールを行っている。
- Incorporating Silicon-Carbon material in semiconductor devices is a technology we pioneered to significantly boost the speed of electronics. Here, we announce a new and cost effective method of forming Silicon-Carbon, where large carbon-containing molecules are implanted into Silicon, followed by a laser treatment. This new technique could be potentially used in advanced Silicon technologies.



Cross section of the Silicon-Carbon Source/Drain transistor. Silicon-Carbon Source/Drain transistors formed using molecular carbon implant and laser treatment.

★ ハイライト論文: エリア 4

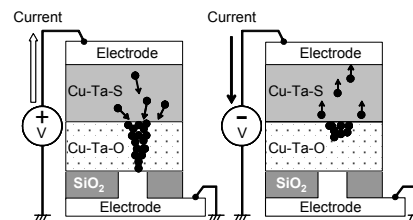
ssdm (Advanced Memory Technology)

J-9-2; K. Ono, Hitachi

固体電解質を用いる抵抗変化型メモリの特性を大幅に改善

- 将来の大容量メモリを目指してイオンプラグメモリを開発した。本メモリは固体電解質層と絶縁層の2層からなる抵抗変化メモリである。上記構造によりCuの過剰な析出を防ぎ、 $20\mu\text{A}/80\mu\text{A}$ でのセット/リセット動作、10億回以上の書換え耐久性を実現した。試作したメモリ素子の断面TEM観察から、直径20nmのCu導電パスが形成・消滅していることを確認し、本メモリが32nm以降も微細化可能である見通しを得た。
- A resistive switching Ion-Plug memory with dual-layered structure was developed for future high-density memory. It achieved set currents of $20\text{-}\mu\text{A}$, reset currents of $80\text{-}\mu\text{A}$, and endurance of one billion cycles. A conductive path of Cu with a 20-nm f confirmed by TEM enables cell shrinkage for 32-nm node and beyond.

(a) Set operation (b) Reset operation



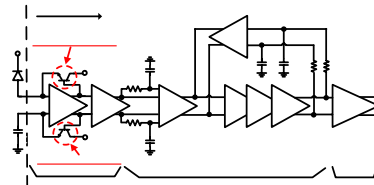
★ ハイライト論文: エリア 5

ssdm (Advanced Circuit and Systems)

D-1-5; J.C. Huang, National Tsing Hua University (Taiwan)

小面積の10Gbit/s光受信回路を開発

- 10Gbit/sの高速光受信回路を、従来の大面積が必要であるインダクターを用いることなく、開発した。この回路技術では、新しいアクティブなフィードバック技術を使用しました。
- A fully integrated 10 Gbit/s optical receiver analog front-end in standard 0.35 μm SiGe BiCMOS process was realized without using the conventional, area-consuming inductor peaking technique. We used a novel active feedback technique to diminish input capacitances so as to enhance the overall gain-bandwidth performance. Much chip area has thus been saved and the receiver can endure larger input capacitors.





ハイライト論文: エリア 5

(Advanced Circuit and Systems)

D-2-4; K. Niitsu, Keio University

3次元集積化に向けた誘導結合型積層チップの位置合わせ誤差をモデル化

- 3次元システム集積のための誘導結合型積層チップ間リンクにおける、積層チップ間の位置合わせ誤差耐性に関する解析を初めて行った。上下のインダクタ間の位置合わせ誤差が結合定数の低下、送信電力の増加を招く。位置合わせ誤差を通信距離の増加としてモデル化し、送信電力の増加量を推定することを提案し、その有効性を電磁界シミュレーションならびに、65nm CMOSにて試作したチップの測定結果により確認した。
- Analysis of misalignment tolerance in inductive-coupling inter-chip links is demonstrated. Misalignment reduces coupling coefficient and increases transmit power. We estimated the transmit power by considering misalignment as an additional communication distance. Proposed estimation was verified by electromagnetic simulations and by measurements using testchips fabricated in 65nm CMOS.



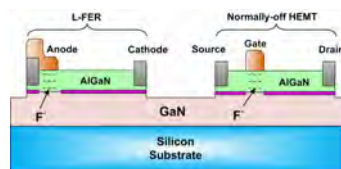
ハイライト論文: エリア 6

(Compound Semiconductor Circuits, Electron Devices & Device Physics)

G-5-3; K.Y. Wong, Hong Kong Univ. of Sci. and Tech. (China)

Si基板上にHEMTと集積化できるパワースイッチデバイス技術を開発

- 次世代高速パワースイッチとして期待される GaN デバイスとして、Si 基板上に HEMT デバイスと集積化できる AlGaIn/GaN パワースイッチ デバイス技術を開発した。
- A power lateral field-effect rectifier (L-FER) that can be monolithically integrated with normally-off AlGaIn/GaN HEMT has been demonstrated using GaN-on-Si technology. The L-FER features low turn-on voltage, high reverse breakdown voltage and low on-resistance. The device is capable of operating properly at 250 °C, reducing the burden of heat management.





★ ハイライト論文: エリア 6

(Compound Semiconductor Circuits, Electron Devices & Device Physics)

G-7-1; Y. Nakano, ROHM

低抵抗・高耐圧SiCパワーMOSFETを開発

- パワーMOSFETには、低抵抗で高耐圧という特性が求められます。SiCはその物性値から、低抵抗、高耐圧のどちらも期待できる材料です。これまで作製困難とされてきた高性能なSiCトレンチゲート構造の試作に成功し、低抵抗、高耐圧SiCパワーMOSFETを実現しました。この技術は、今後ハイブリッドカー、電気自動車などのモーター駆動用インバーターや、エアコンなどのインバーターに搭載されていき、省エネに貢献していくでしょう。
- It has been difficult to fabricate a SiC trench MOSFET with high performance until today. We succeeded in the fabrication of a SiC trench MOSFET with both low on resistance and high blocking voltage. This technology will be applied in inverters for a motor drive, such as a hybrid car and a air-conditioner, contributing to energy saving.

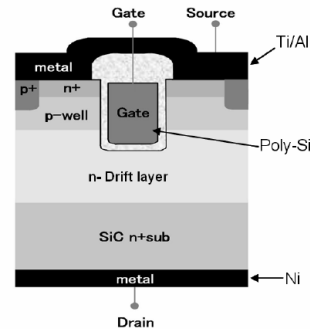


Fig.1 Schematic cross section of a SiC trench MOSFET.



★ ハイライト論文: エリア 7

(Photonic Devices and Device Physics)

E-7-4; M. Fujiwara, Sumitomo Bakelite

3次元LSI を結ぶ超高速光インターコネクションとして光インターポーザを提案

- チップ間光インターコネクションでは受発光素子とミラーのアライメント・LSIと受発光素子との一体化が大きな課題であった。それらを一挙に解決する、ポリノルボルネン光導波路と受発光素子を有するSi インターポーザ(光インターポーザ)を提案する。光インターポーザは3次元LSI を結ぶ超高速光インターコネクションである。本論文では、テーパ状Si 貫通配線(TSV)を有する光インターポーザ技術について報告する。
- We proposed a novel optical interposer with optical interconnections for integrating 3-D LSIs on it. VCSEL chip, PD and optical waveguides are embedded in this optical interposer. We realized precise passive alignment between optical waveguides and VCSEL/PD. In this paper, we describe such optical interposer technology with tapered through Si-vias.



ハイライト論文: エリア 8

(Advanced Material Synthesis and Crystal Growth Technology)

F-1-2; C.H. Wu, MingDao University (Taiwan)
ナノデバイスに向け、ナノサイズ金微粒子を走査型プローブリソグラフィを用いて密度分布を制御する技術を開発

- 新しいナノデバイス開発に向けて、ナノサイズ金微粒子を走査型プローブリソグラフィを用いて密度分布を制御する技術を開発
- We have successfully demonstrated the gray-level selective patterning on the 2.5 nm thin-SiO₂ surface. A novel approach is introduced for distribution densities of gold nanoparticles selective deposition were successfully dominated by the additional scanning probe electrical-field-induced chemical bond decomposing patterning. It was appeared that the distribution densities of gold nanoparticles selective deposition decreased as the additional scanning probe bias increased.



SEM images of the AuNPs selective gray-level patterning on the SiO₂ surface by applied the low energies of additional bias after immersion in the AuNPs solution for 1 h. Inset shows the black and white gray-level photograph of the physicist Dr. Richard P. Feynman (Resolution: 512 × 512).

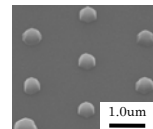


ハイライト論文: エリア 8

(Advanced Material Synthesis and Crystal Growth Technology)

F-2-4; T. Wakatsuki, Hokkaido University
ナノスピントロニクスデバイスに向け、位置制御された強磁性MnAsナノ構造を成長

- 有機金属気相選択成長法を用いたビルドアップ型ナノ構造形成手法により、半導体上のナノスピントロニクスデバイス実現を目指す。ナノ構造の位置・サイズ制御、高集積化が可能な本手法により、原子レベルで平坦な結晶ファセット及び急峻なヘテロ界面を有する強磁性MnAsナノ構造を、部分的にSiO₂膜で覆ったGaAs(111)B基板上に作製した。MnAsナノ構造の成長方向は結晶成長条件により制御され、室温で強磁性を示し単磁区を有するナノ構造を確認した。
- We have fabricated ferromagnetic MnAs nanoclusters position-controlled on partially SiO₂ masked GaAs(111)B substrates by Selective-Area Metal-Organic Vapor Phase Epitaxy. The nanoclusters with atomically flat crystal facets and abrupt hetero-interfaces show spontaneous magnetization. Some of the nanoclusters have single magnetic domains. Growth directions are successfully controlled under the optimized growth conditions.



SEM image of MnAs NCs on GaAs (111)B substrates by SA-MOVPE.



ハイライト論文: エリア 9

(Physics & Applications of Novel Functional Materials & Devices)

H-7-3; T. Ota, NTT

量子ドットの高周波キャパシタンス測定に成功

- キャパシタンス(静電容量)は、電極の構造寸法だけでなく電子の量子力学的状態にも依存し、量子ドットにおけるたった1個の電子状態を測定する物理量として期待されている。今回、量子ドットと電荷計を組み合わせたオンチップのロックインアンプによってキャパシタンス測定を行うことにより、GHz帯までの広帯域なキャパシタンス測定に成功し、量子ドットのトンネル速度との関連を明らかにした。
- Capacitance, which depends on geometry of electrodes as well as quantum states of electrons, is expected to detect a single-electron state in a quantum dot precisely. We propose and demonstrate high-frequency capacitance measurement up to a few GHz by means of an on-chip lock-in amplifier composed of quantum dots and a charge detector.



ハイライト論文: エリア 9

(Physics & Applications of Novel Functional Materials & Devices)

H-9-1; H. Kamata, NTT

半導体ポイント接合での電子ポテンシャルの時間依存測定法を提案

- ナノ構造中の電子状態の時間制御は、量子コンピュータや単一電子デバイスなどの応用上、重要な実験技術である。今回、半導体ポイント接合デバイスを用いて、ナノ構造中の電子が感じるポテンシャルの時間依存性を測定する手法を提案し実証した。デバイスの2つの電極に時間遅れのある電圧パルスを印加することにより、ポテンシャルの時間依存性を測定することができる。この手法により電子の波束が伝搬する様子を鮮明に観測できるようになった。
- Time-dependent control of electronic states in nanostructures is a key technology for developing quantum computing and single-electron devices. We propose and demonstrate a scheme to measure time-dependent potential in a semiconductor quantum point contact by applying two voltage pulses with a variable delay. The technique is applied to probe an electron wave packet propagating along the edge of the device



ハイライト論文: エリア 10

(Organic Materials Science, Device Physics, & Applications)

I-9-4; H. Matsui, AIST

有機トランジスタでのキャリア伝導機構を電子スピン共鳴法で解析

- 有機トランジスタの素子動作を明らかにするため、ゲート電界によりチャネル内に蓄積したキャリアの伝導機構を電子スピン共鳴 (ESR) 法により詳しく調べた。移動度の高いペンタセン薄膜トランジスタにおいて伝導性の増大とともに線幅が狭くなる「運動による先鋭化」が観測されることを見出し、その結果をもとに、キャリアがトラップに束縛される平均滞在時間と、トラップ-リリースの繰り返しからなる伝導機構について議論を行う。
- Field-induced electron spin resonance (ESR) methods are found to be useful in elucidating microscopic carrier dynamics in organic transistors. The results provide us a clear picture of trap-dominated transport along the semiconductor/insulator interface. Temperature dependence and gate-voltage dependence of the ESR spectra are discussed on the basis of motional narrowing effect.



ハイライト論文: エリア 11

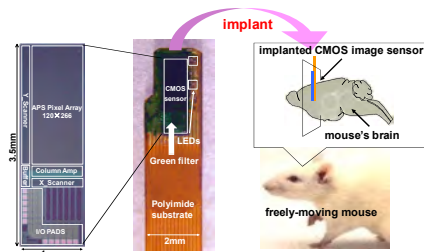
(Micro/Nano Electromechanical & Bio-Systems (Devicexes))

E-6-2; A. Tagawa, NAIST

脳機能イメージング用CMOSイメージセンサを開発

- 近年脳神経科学や医療の分野において脳機能イメージング技術が急速に発展している。我々はCMOSイメージセンサを用いて、従来の技術では困難であった脳深部のリアルタイム蛍光イメージングを提案している。今回の報告では麻酔下マウス脳機能イメージング、並びに自由に動く (Freely-moving) マウスの脳機能イメージングを実現すべく予備実験を行い、専用のCMOSイメージングセンサを設計試作したので報告する。
- We develop a fluorescent imaging device employed with a dedicated CMOS image sensor to observe neural activities in a mouse deep brain. For brain functional imaging in freely-moving mouse, a thin and long outlined CMOS image sensor is designed and fabricated based on preliminary freely-moving experiments.

Fig. Brain functional imaging in freely moving mouse





ハイライト論文: エリア 12

(Spintronic Materials and Devices)

C-3-6: S. Matsunaga, Tohoku University

不揮発性ロジックインメモリ構造を有する全加算器チップの原理動作を実証

- 不揮発性記憶機能を演算回路内に分散配置させた不揮発性ロジックインメモリ構造回路が実現できれば、メモリ・演算器間大局的配線数を大幅に削減でき、VLSIチップ全体の高性能化および電力消費の大幅な低減が達成できると期待されている。本稿では、磁気トンネル接合素子とMOSトランジスタを組み合わせて、不揮発性ロジックインメモリ構造を有する全加算器チップの試作に世界で初めて成功し、その原理動作を実証した。
- A nonvolatile full adder based on logic-in-memory architecture has been fabricated using magnetic tunnel junctions (MTJs) in combination with MOS transistors. Magnesium oxide barrier MTJs are used to take advantage of their high tunnel magneto-resistance ratio and spin-injection write capability. The MOS transistors are fabricated using a $0.18 \mu\text{m}$ CMOS process



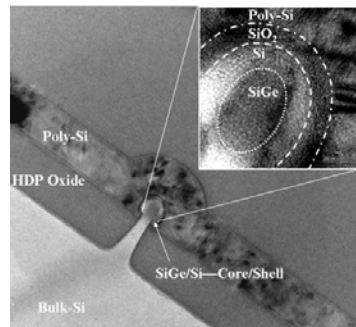
ハイライト論文: エリア 13

(Application of Nanotubes and Nanowires)

H-5-4: Y. Jiang, Inst. of Microelectronics (Singapore)

バルクSi基板上にSiGe/Siコアシェル構造デバイスを開発

- 従来CMOSプロセスにて、バルクSi基板上にSiGe/Siコアシェル構造ナノワイヤデバイスを試作し、動作を確認。
- SiGe/Si core/shell nanowire p-type field effect transistors have been fabricated on bulk-Si substrate using fully CMOS compatible top-down technology. Devices with 40nm-long compressively strained channel comprises of 12nm-thick SiGe nanowire core and 4nm-thick Si shell showed excellent electrical performance. Quantum confinement of holes in the SiGe core, which is advantageous in improving the carrier mobility, is indicated by double trans-conductance peaks.



TEM micrograph of channel cross-section showing SiGe/Si Core/Shell heterostructure, covered by SiO₂ gate dielectric and gate poly-Si.



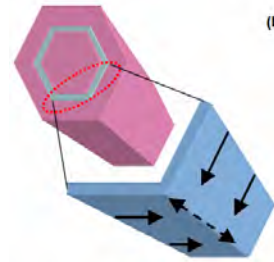
ハイライト論文: エリア 13

(Application of Nanotubes and Nanowires)

H-6-2; K. Goto, University of Tsukuba

コアマルチシェル型ナノワイヤ中での新規なキャリア移動を観測

- コアマルチシェル型ナノワイヤは、ナノワイヤ中に量子井戸および量子細線構造を内包する、新しい半導体量子構造である。このナノワイヤ中に光励起されたキャリアがナノワイヤの2次元領域(側面)から1次元領域(角)に向かって移動することがわかった。この現象は、1次元と2次元の複合構造によってはじめて得られるものである。
- Core-multishell nanowire has a new class of quantum semiconductor structure where a nanowire contains quantum well and wire structures. Photo-excited carriers were observed to move from the two-dimensional region (side) toward the one-dimensional region (corner) in it. This phenomenon obtained for the first time in the compound structure of one dimension and two dimensions.



Schematic image of carrier movement in the core-multishell