

2008 年国際固体素子・材料コンファレンス ショートコース

「先端半導体ブースター技術の進展と評価・解析技術」 Progress in Si Technology Booster with Metrology/Evaluation Technique

日時: 2008 年 9 月 23 日(火) 11:00-17:20
場所: つくば国際会議場(エポカルつくば) 〒305-0032 茨城県つくば市竹園 2-20-3
参加費: 一般 15,000 円 学生 3,000 円
定員: 150 名 (但し、定員になり次第締め切りとさせていただきます)
参加申込方法: SSDM のホームページ(<http://www.ssdm.jp>)の REGISTRATION のページからお申し込みください。ホームページの参加申し込み受付は 9 月 9 日(火)まで可能です。それ以降はショートコース当日、会場にてお申し込みください。
※すべての講演は日本語で行われます。

〒105-0003 東京都港区西新橋 1-7-2 虎ノ門高木ビル SSDM 事務局 (株)インターグループ内
TEL: 03-3597-1108/FAX: 03-3597-1097/E-mail: ssdm_secretariat@intergroup.co.jp

オーガナイザー

栄森 貴尚(Selete)/ 田中 徹(東北大学)

先端半導体ブースター技術の開発の中で新しい現象が見つかると共に、評価・解析技術も同時に洗練され進展しています。たとえばMetal/High-k技術では、薄膜化によって実効酸化膜厚や移動度測定に注意が必要となったり、「実効仕事関数」のような新概念などが創出されたりしています。しかし一方、データの出し方や解釈が報告者により異なり、評価解析上共通のコンセンサスが十分にとれていないなどの問題も起こっています。3軸成分を持つ歪み技術は既に応用が進んでいますが、局所解析やモニタ方法はまだ確立しているとはいえない状況です。先端リソグラフィはハードとプロセスの融合した新しい手法の提案と共に、3D解析を含めたLER(Line Edge Roughness)などの計測と解析手法の開発などが進んでおり、接合技術もLER起因のプロファイルばらつき問題を引き起こし、新しい評価・計測手法での解析と対応策が求められています。さらにlow-k/Cu配線分野でも技術開発と共に、ポーラス材料の孔密度、強度、密着性などの新しい測定が求められています。今年のショートコースでは、先端半導体ブースター技術の進展と課題の報告と共に、評価・解析上の注意点(tutorial、推奨、警鐘)や新測定手法などについて紹介し今後の技術を展望します。

講演プログラム

11:00-12:00 「Metal/High-kゲートスタック技術はPoly-Si/SiO₂技術と何が違うか」

—新材料の導入にともなう正しい評価・解析技術の重要性— 鳥海明 (東京大学)

(12:00-13:00 昼食)

13:00-14:00 「歪みエンジニアリング技術の進展と評価・解析技術」

—高空間分解能UV-ラマン分光によるSi最表面の歪み分布測定— 小椋厚志 (明治大学)

14:00-15:00 「リソグラフィ技術の進展と計測技術」

—微細化技術の現状と将来展望— 井上壮一 (東芝)

(15:00-15:20 休憩)

15:20-16:20 「接合技術の進展と評価・解析技術」

—イオン注入、アニール技術、及び、不純物計測の現状と展望— 加勢正隆 (富士通)

16:20-17:20 「Low-k/Cu配線技術の進展と評価・解析技術」

—Low-kをモノにするための評価技術— 松浦正純 (ルネサステクノロジ)